

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199294

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

G11C 29/00
G01R 31/28

(21)Application number : 09-351611

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 19.12.1997

(72)Inventor : CLINE DANNY R
POWELL THEO J
HUI KUONG H

(30)Priority

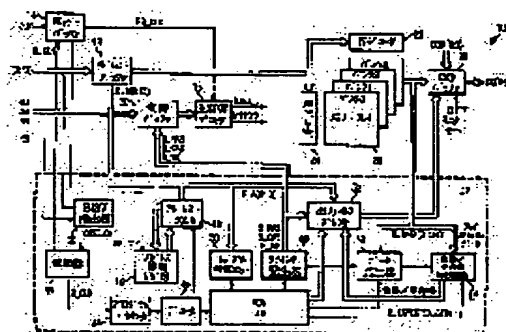
Priority number : 96 33508 Priority date : 19.12.1996 Priority country : US

(54) INTEGRATED CIRCUIT MEMORY DEVICE HAVING BUILT-IN SELF-TESTING CIRCUIT WITH MONITOR MODE AND TESTER MODE AND ITS OPERATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an integrated circuit memory device having a self-testing monitor mode.

SOLUTION: A memory device 10 includes a memory array 26 having a plurality of memory cells and a built-in self-testing circuit 12 which is so connected as to receive a self-testing selection signal. When the memory device is in a self-tester mode, the built-in self-testing circuit 12 generates an internal self-testing signal and the memory array is operated for test. A data buffer 28 is so connected as to receive the internal self-testing signal and a monitor mode signal. When the memory device is in a monitor mode, the data buffer operates so as to connect the internal self-testing signal to the terminal of the memory device and supply the signal to the outside from the memory device. The operation of the built-in self-testing circuit can be verified by using a monitor object self-testing signal. Further, if the monitor object self-testing signal is used in the tester mode, other memory devices can be also tested.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平10-199294

(43)公開日 平成10年(1998)7月31日

(5)Inventor
G11C 29/00 671
G01R 31/28 B
G01R 31/28 V

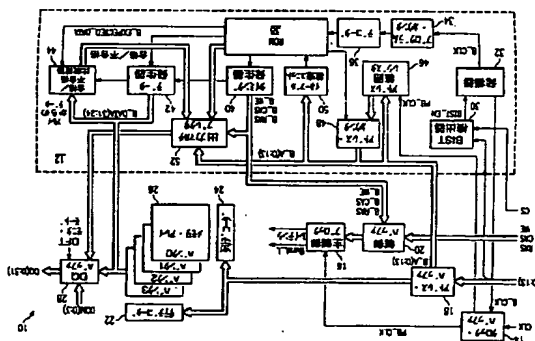
審査請求 未請求 請求項の数2 OL (金 8 頁)

(2)出願番号 特開平9-351611
(22)出願日 平成9年(1997)12月19日
(31)優先権主張番号 033508
(32)優先日 1996年12月19日
(33)優先権主張国 米国 (US)
(71)出願人 590000879
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500
ダニー アール、クライン
シンガポール国カクタス ドライブ 16,
ナンバー 04-01
(72)発明者
デオ ジェイ、パウエル
アメリカ合衆国テキサス州ダラス、アール
ポート サークル 15546
(74)代理人 弁理士 浅村 隆 (外3名)

最終頁に続く

(54)【発明の名称】 モニタ・モードおよびデスタ・モードを備えた内蔵自己検査回路を有する集積回路メモリ素子およびその動作方法

(57)【要約】
【課題】 自己検査モニタ・モードを有する集積回路メモリ素子を提供する。
【解決手段】 メモリ素子(10)は、複数のメモリ・セルを有するメモリ・アレイ(26)、および自己検査選択信号を受け取るように接続された内蔵自己検査回路(12)を含む。メモリ素子が自己検査モードにある場合、内蔵自己検査回路は内部自己検査信号を発生しメモリ・アレイを動作させるように動作する。データ・バッファ(28)が、内部自己検査信号およびモニタ・モード信号を受け取るように接続されている。メモリ素子が自己検査モニタ・モードにある場合、データ・バッファは内部自己検査信号をメモリ素子の端子に接続し、メモリ素子から外部に内部自己検査信号を供給するよう動作する。監視対象メモリ素子の端子に接続して、内蔵自己検査回路の動作検証が可能である。また、監視対象メモリ素子の端子に接続して、メモリ素子の端子の自己検査信号を受け取る。内蔵自己検査信号を用いて、第2メモリ素子が第1メモリ素子からの自己検査信号を受け取るようにして、自己検査信号を用いて第2メモリ素子を検査する。次に、第2メモリ素子の検査結果を示す、合



は、"A BIST Scheme Using Microprogram ROM for Large Capacity Memories" 1990 International Test Conference, 第815~822頁に記載されているような、従来の集積回路によって用いられている。BIST回路を検証するための他の手法には、スキャン(scan)を用いるか、あるいはサイン(signature)に対する内部検査のためのデータを圧縮することが含まれ、後に、それぞれ予想スキャン・データをまたは予想したサインと比較することができ。

【0003】
【発明が解決しようとする課題】 本発明は、集積回路メモリ素子の従来のBIST方式の問題および欠点の大部分を減少または解消を図るものであり、モニタ・モードおよびデスタ・モードを備えた内蔵自己検査(BIST)回路を有する集積回路メモリ素子を提供することを目的とする。

【0004】
【課題を解決するための手段】 本発明の一態様によれば、自己検査モニタ・モードを有する集積回路メモリ素子が提供される。このメモリ素子は、複数のメモリ・セルを有するメモリ・アレイを含む。メモリ素子は、更に、自己検査選択信号を受け取るように接続されている内蔵自己検査回路を含む。内蔵自己検査回路は、メモリ素子が自己検査モードにある場合には、メモリ・アレイを動作させるための内部自己検査信号を発生するように動作可能である。内部自己検査信号およびモニタ・モード信号を受け取るように、データ・バッファが接続されている。データ・バッファは、メモリ素子が自己検査モニタ・モードにある場合、内部自己検査信号をメモリ素子の端子に接続し、メモリ素子から外部に内部自己検査信号を供給するように動作可能である。

【0005】 本発明の別の態様によれば、内蔵自己検査回路の監視を可能にするための、集積回路メモリ素子の動作方法が提供される。メモリ素子は、当該メモリ素子が自己検査モニタ・モードにあることを示すモニタ・モード信号を受け取る。次に、内蔵自己検査回路によって発生された内部自己検査信号は、自己検査モニタ・モードの指示に応じて、メモリ素子の端子に接続される。端子は、外部に接続し、内部自己検査信号を監視するために使用可能となっている。

【0006】 本発明の更に別の態様によれば、内蔵自己検査回路を有する他の集積回路メモリ素子を用いて、集積回路メモリ素子を検査する方法が提供される。第1メモリ素子の内部自己検査回路が発生する内部自己検査信号は、第1メモリ素子の端子に接続される。第1メモリ素子の端子は第2メモリ素子の端子に接続され、第2メモリ素子が第1メモリ素子からの自己検査信号を受け取るようにして、内蔵自己検査回路の自己検査プロセスを実行し、自己検査信号を用いて第2メモリ素子を検査する。次に、第2メモリ素子の検査結果を示す、合

号CSを用いて1つの素子を選択する。メモリ選択シーケンス93は、どのメモリ素子92が、メモリ素子90からのテストデータおよび比較器102、104への出力データを使用すべきかについて制御を行う。

【0020】以上、本発明について詳細に説明したが、特許請求の範囲によって規定される本発明の精神および範囲から逸脱することなく、種々の変更、代用および改良が本発明には可能であることは理解されよう。

【0021】以上の説明に関して、更に以下の項を開示する。

(1) 集積回路メモリ素子であった、複数のメモリ・セルを有するメモリ・アレイであって、アレイ・アドレス番号およびアレイ制御番号に答えて、前記メモリ・セル内にデータを格納し、該メモリ・セルに格納されているデータを読取アレイ出力番号を供給するように動作可能な前記メモリ・アレイと、前記メモリ素子が自己検査モードにあるか否かを示す自己検査選択番号を受け取り、そのモードにあるか否かを示す自己検査選択番号を受け取り、自己検査番号を発生し、前記メモリ素子が自己検査モードにある場合に、前記メモリ・アレイを作動させ検査する自己検査番号と、前記メモリ素子が自己検査モード・モジュールにあるか否かを示すモニタ・パツファとを受け取るように接続されているデータ・バツファとであって、前記内部自己検査番号を前記メモリ素子の端子に接続し、前記メモリ素子が自己検査モード・モードにある場合に、前記メモリ素子が自己検査番号を供給するように動作可能な前記データ・パツファと、かかる集積回路メモリ素子。

(2) 前記メモリ素子から外部に供給される前記内部自己検査番号は、テストに接続され、前記内部自己検査回路の動作を検証する第1項記載の集積回路メモリ素子。

(3) 前記メモリ素子から外部に供給される前記内部自己検査番号は、第2メモリ素子に接続され、前記第2メモリ素子の動作を検証する第1項記載の集積回路メモリ素子。

(4) 前記データ・パツファは、前記内部自己検査番号を前記メモリ素子のデータ端子に接続するように動作可能な第1項記載の集積回路メモリ素子。

(5) 前記自己検査番号は、内部メモリ・アドレス番号、制御番号、およびデータ番号、ならびに内部合格/不合格番号を含み、前記内部メモリ・アドレス番号、制御番号、およびデータ番号は、前記メモリ素子が自己検査モードにある場合に、前記メモリ・アレイを動作させるために用い、前記内部合格/不合格番号は自己検査の結果を示す。第1項記載の集積回路メモリ素子。

(6) 前記内部自己検査回路は、前記内部メモリ・アドレス番号、前記内部メモリ制御番号、および前記合格/不合格番号を受け取るように接続された出力マルチプレクサを備えており、前記出力マルチプレクサは、前記内

部メモリ・アドレス番号、前記内部メモリ制御番号、および前記合格/不合格番号の一部を選択し、前記メモリ素子のデータ・パツファに接続するように動作可能である。第5項記載の集積回路メモリ素子。

【0022】(7) 集積回路メモリ素子に内部自己検査回路の監視を可能とするための動作方法であって、前記メモリ素子が自己検査モニタ・モードにあることを示すモニタ・モード番号を受け取るステップと、自己検査モニタ・モードの指示に応答して、前記内部自己検査回路が発生した内部自己検査番号を、前記メモリ素子の端子に接続し、該端子から外部に接続し、前記内部自己検査番号を監視可能とするステップと、から成る方法。

(8) 前記メモリ素子の端子をテストに接続し、前記監視された内部自己検査番号に基づいて、前記内部自己検査回路の動作を検証するステップを更に含む第7項記載の方法。

(9) 前記接続するステップは、前記内部自己検査番号を前記メモリ素子のデータ端子に接続するステップを含む第7項記載の方法。

(10) 前記内部自己検査番号は、内部メモリ・アドレス番号、制御番号、およびデータ番号、ならびに内部合格/不合格番号を含み、前記内部メモリ・アドレス番号、制御番号、およびデータ番号は、前記メモリ素子が自己検査モードにある場合に、メモリ・アレイを動作させるために用い、前記内部合格/不合格番号は自己検査の結果を示す。第7項記載の方法。

(11) 前記接続するステップは、前記内部メモリ・アドレス番号、前記内部メモリ制御番号、および前記合格/不合格番号の一部を前記メモリ素子の前記端子に接続するステップを含む第9項記載の方法。

【0023】(12) 内部自己検査回路を有する他の集積回路メモリ素子を用いて集積回路メモリ素子を検査する方法であって、第1メモリ素子内の内部自己検査回路によって発生された内部自己検査番号を、前記第1メモリ素子の端子に接続するステップと、前記第1メモリ素子の前記端子を第2メモリ素子の端子に接続することによって、前記第2メモリ素子が前記第1メモリ素子から前記自己検査番号を受け取るステップと、前記内部自己検査回路の自己検査プロセスを実行し、前記自己検査番号を用いて前記第2メモリ素子を検査するステップと、前記第2メモリ素子を検査した結果を示す合格/不合格番号を供給するステップと、から成ることを特徴とする方法。

(13) 前記自己検査プロセスを実行するステップは、前記第2メモリ素子にデータを書き込むステップと、前記第2メモリ素子からデータを読み出すステップと、前記第2メモリ素子から読み出した前記データを予測データと比較するステップと、から成る第12項記載の方法。

(14) 前記比較するステップは、前記第1メモリ素子の外部において行われる第13項記載の方法。

(15) 前記比較するステップは、前記第1メモリ素子内部において行われる第13項記載の方法。

(16) 前記接続するステップ、前記接続するステップ、前記実行するステップ、および前記供給するステップを繰り返して、複数のシステム・メモリ素子を検査する第12項記載の方法。

(17) 前記接続するステップ、前記接続するステップ、前記実行するステップ、および前記供給するステップは、システム・メモリ検査プロセスの制御の下で行われる第16項記載の方法。

(18) 前記第2メモリ素子は内部自己検査回路を有する第12項記載の方法。

【0024】(19) 自己検査モニタ・モードを有する集積回路メモリ素子10を提供する。メモリ素子10は、複数のメモリ・セルを有するメモリ・アレイ26を含む。メモリ素子10は、更に、自己検査選択番号を受け取るように接続された内部自己検査回路12も含む。内部自己検査回路12は、メモリ素子10が自己検査モードにある場合に、内部自己検査番号を発生しメモリ・アレイ26を動作させ検査するように動作可能である。

データ・パツファ28が、内部自己検査番号およびモニタ・モード番号を受け取るように接続されている。データ・パツファ28は、メモリ素子10が自己検査モニタ・モードにある場合に、内部自己検査番号をメモリ素子10の端子に接続し、メモリ素子10から外部に内部自己検査番号を供給するように動作可能である。監視対象自己検査番号を用いて、内部自己検査回路12の動作を検査可能である。また、監視対象自己検査番号をテスト・モードで用いると、他のメモリ素子の検査も可能となる。

【図面の簡単な説明】

【図1】本発明の教示による、モニタ・モードを備えた内部自己検査回路を有する集積回路メモリ素子の一実施例のブロック図。

【図2】本発明の教示による、モニタ・モードを備えた内部自己検査回路を有する集積回路メモリ素子の一実施例のブロック図。

【図3】本発明の教示による、テスト・モードを備えた内部自己検査回路を有する集積回路メモリ・チップの一実施例のブロック図。

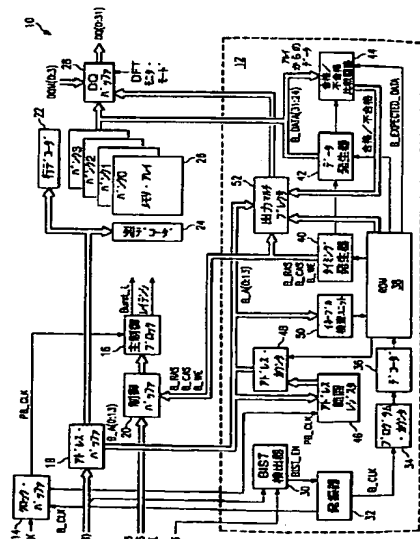
【図4】本発明の教示による、複数のシステム・メモリ・チップを検査する際に用いるテスト・モードを備えた

内部自己検査回路を有する集積回路メモリ素子の一実施例のブロック図。

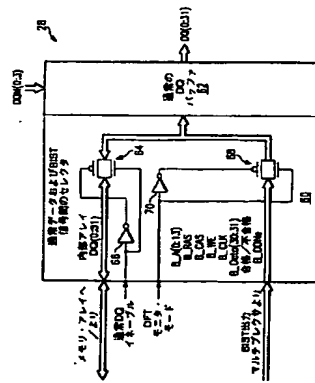
【符号の説明】

10 集積回路メモリ素子
12 内部自己検査回路
14 クロック・パツファ
16 主制御ブロック
18 アドレス・パツファ
20 制御パツファ
22 行デコーダ
24 列デコーダ
26 メモリ・アレイ
28 DQパツファ
30 R I S T 検出器
32 発振器
34 プログラム・カウンタ
36 検出器
38 ROM
40 タイミング発生器
42 データ発生回路
44 合格/不合格比較回路
46 アドレス範囲レジスタ
48 アドレス・カウンタ
50 イネーブル検査ユニット
52 出力マルチプレクサ
60 セレクタ回路
62 DQパツファ
64 バス・ゲート
66 反転器
68 バス・ゲート
70 反転器
80 第1メモリ素子
82 第2メモリ素子
84 偶数データ比較器
86 奇数データ比較器
90 メモリ素子
92 システム・メモリ素子
93 メモリ選択シーケンサ
94、96、98 マルチプレクサ
100 メモリ検査ユニット
102、104 比較器

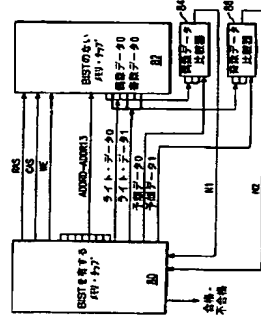
【図1】



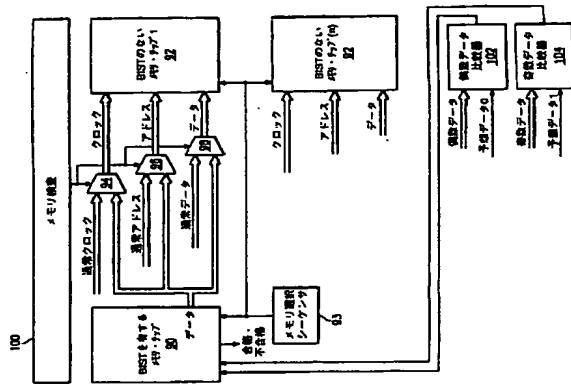
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 クオン エイチ. ヒイ
アメリカ合衆国テキサス州マーフィ、サン
セット ドライブ 174